

Japanese Patent Laid-Open No. 71162/1989

Laid-Open Date: March 16, 1989

Application No.: 226307/1987

Application Date: September 11, 1987

5 Request for Examination: Not made

Inventors: Masayuki Watanabe et. al

Applicants:

Hitachi, Ltd.

Hitachi Device Engineering Co., Ltd.

10 Title of the Invention: SEMICONDUCTOR DEVICE

Claims:

1. A semiconductor device formed by mounting on a mounting substrate, two or more tape carrier packages wherein a part of each lead pattern is modified so as
15 to enable the stack-mounting of said tape carrier packages.

2. A semiconductor device of claim 1, wherein the part of the lead pattern which has been modified is a lead for selecting signal of chips within the tape
20 carrier package.

Detailed Description of the Invention:

[Field of Industrial Application]

The present invention relates to a stack-mounting technology of tape carriers.

25 [Prior Art]

As one of packaging techniques of semiconductor elements, there is a tape carrier method. This method is also called a "film carrier" or "TAB (Tape Automated Bonding)" method. This method is a method to incorporate semiconductor elements sequentially into a long tape of resin, having sprocket holes (perforation holes), and the tape carrier includes lead patterns aligned to electrode arrangements of the semiconductor elements (chips), formed on the resin film with sprocket holes and device holes, and it is manufactured, for example, through processes; to slit a polyimide film with an adhesive into an adequate width; to punch out thereon sprocket holes for feeding and device holes for receiving devices; to laminate a copper foil; and to form a desired lead pattern using a photo resist technique and etching technique.

Also, as for an example of literature describing the tape carrier, "VLSI TECHNOLOGY" (Mc Graw-Hill Book Company Japan, 1983: p.558) may be named.

[Problems that the Invention is to Solve]

In a conventional tape carrier, one layout is intended for one type, and has one same lead pattern, so that stacking up tape carriers of the same type and mounting them on a mounting substrate are impossible.

Therefore, when highly dense mounting is

attempted, it is required to dispose the one in parallel with same type tape carriers on a mounting substrate, and that would cause to make wiring on a surface of the mounting substrate such as a printed-wiring board complex, so that wire breaks would be easily generated, resulting in the degradation of its reliability.

An object of the present invention is to provide a technology capable of resolving the disadvantages the background art has.

This and other objects and novel features of the present invention will be clear from the description of the present specification and attached figures.

[Means for Solving the Problems]

To explain a representative one among the inventions disclosed herein, it is as follows.

In the present invention, a plurality of tape carriers of a same type are provided, with each lead pattern of the each tape carrier partially modified. This modification is limited only to, for example, a lead for a chip selecting signal. The tape carriers with the parts of the lead patterns modified are stack-mounted on a mounting substrate.

[Operation]

Since the part of the each lead pattern of the

tape carriers to be stack-mounted as the above, is modified so as to enable the stack-mounting, the stack-mounting of the tape carriers are possible, thus the highly dense mounting can be performed, the wiring can be simplified, and the reliability can also be improved.

[Embodiment]

Next, an embodiment of the present invention is explained based on figures.

Fig. 1 is a diagram showing the principle of the embodiment of the present invention, and within a device hole (1) opened on a plastic film tape, a part of a lead pattern (2) formed on the film tape is protruding. Also, in the lead pattern (2), while a lead (2a) on the upper right edge of the illustration is provided in parallel to the rest of leads (2b) in Fig. 1 (A), in Fig. 1 (B), the lead (2a) on the upper right edge of the illustration is in a shape being bent at right angle. Within this device hole (1), although it is not shown in the figure, a semiconductor element is incorporated, and in Fig. 1 (A), the lead (2a) on the upper right edge of the illustration is a lead for a chip selecting signal of the semiconductor element (chip) incorporated the device hole (1), and similarly in Fig. 1 (B), the lead

(2a) bent at right angle on the upper right edge of the illustration is a lead for a chip selecting signal.

Fig. 1 (C) shows, in a conceptual manner, a state wherein the tape carriers with the part (lead 2a) of each lead pattern (2) modified are stack-mounted, and the lead (2a) on the upper right edge of the illustration serves as an input and output of the chip selecting signal for the top chip which has been stack mounted, and the lead (2a) next to the lead (2a) on the upper right edge of the illustration serves as an input and output of the chip selecting signal of the bottom chip which has been stack mounted.

The other leads (2b) are input and output terminals common to each of the chips. Fig. 2 shows the details of the tape carrier in Fig. 1 (A), and Fig. 3 shows the details of the tape carrier in Fig. 1 (B).

As shown in these figures, on the both edges of a plastic film tape (3), a plurality of sprocket holes (4) for feeding and aligning the tape (3) are opened in an adequate interval, and at a center section of the tape (3), a device hole (1) for receiving a semiconductor element is provided, and a chip (5) is bonded on the edge section of the lead pattern (2)

which sticks out in the device hole (1) as shown in the figure, by face-down bonding (gang bonding).

This bonding is performed with bumps (6) formed on electrode positions of the chip (5), by a thermo-compression bonding method, however, it may be similarly performed by forming the bumps (6) on the side of the lead pattern (2). After bonding the chip (5) (inner lead bonding), as shown in a cross sectional view of Fig. 4, a sealing resin is potted to form a resin-sealed section (7), thereby the sealing is performed.

The tape carrier packages (8) sealed in this way are stack-mounted on a mounting substrate (9) as shown in Fig. 5.

In Fig. 5, a top tape carrier package (8a) is the tape carrier package having the lead pattern (2) illustrated in Fig. 1 (A), and a bottom tape carrier package (8b) is the tape carrier package having the lead pattern (2) illustrated in Fig. 1 (B).

The plastic film tape used in the present invention is constituted by, for example, a polyimide type resin film with its both side being slit to an adequate width. The lead pattern (2) may be formed by laminating, for example, a copper foil on the film tape, using a photo resist technique and etching

technique, and it is partially modified for each of the tape carrier packages (8a, 8b) accordingly.

The semiconductor element (chip) (5) is constituted by, for example, a single crystal silicon substrate, and within this chip, a large number of circuit elements are formed by known techniques, and it is given one circuitry function. As for a specific example of a circuit element, it is constituted by, for example, MOS transistors, and by these circuit elements, for example, logic circuitry and memory circuitry functions are constituted.

The bumps (6) are constituted by, for example, gold (Au) bumps.

As for the potting resin used for sealing, a potting solvent mainly consisting of, for example, epoxy resin, is used.

The mounting substrate (9) is constituted by, for example, a printed-wiring board.

According to the present invention, as represented by the above embodiment, stack-mounting of the two tape carrier packages (8a, 8b) on the mounting substrate (9) can be realized by modifying the lead (2a) which is a part of the each lead pattern (2), and when compared with a case wherein the tape carrier packages (8a, 8b) are provided on the mounting

substrate (9), for example, in parallel, it can
improve the packing density, and also, while the case
wherein the tape carrier packages (8a, 8b) are
provided in parallel, requires long and complex
5 wiring, it realizes short and simple wiring, so that
the possibility of generating wire breaks is reduced,
thus it contributes to the reliability improvement to
a significant extent.

Heretofore, the invention by the present
10 inventors is explained in detail based on the
embodiment, however, the present invention is not
limited to the above embodiment, and it should be
understood that, without departing from its principle,
various modifications are possible.

15 For example, although, in the above embodiment,
two of the tape carrier packages are stacked on the
mounting substrate, three or more of them may be
stacked, and depending on the case, they may be stack-
mounted on the both sides of the mounting substrate
20 respectively.

[Effect of the Invention]

To explain an effect obtained by a
representative one among the inventions disclosed
herein, it is as follows.

25 According to the present invention, a

semiconductor device with high density packaging realized, wiring advantageously done, and reliability improved, can be provided in a tape carrier package.

Brief Description of the Drawings:

5 Fig. 1 (A)-(C) are diagrams respectively illustrating the principles of an embodiment of the present invention, Fig. 2 is a plane view of significant members illustrating the embodiment of the present invention, Fig.3 is a plane view of
10 significant members illustrating the embodiment of the present invention, Fig. 4 is a cross sectional view showing the embodiment of the present invention, and Fig. 5 is a cross sectional view of the embodiment of the present invention.

15 1: device hole, 2: lead pattern, 2a: modified lead, 2b: common leads, 3: plastic film tape, 4: sprocket holes, 5: semiconductor element (chip), 6: bumps, 7: resin-sealed section, 8, 8a, 8b: tape carrier packages, 9: mounting substrate.

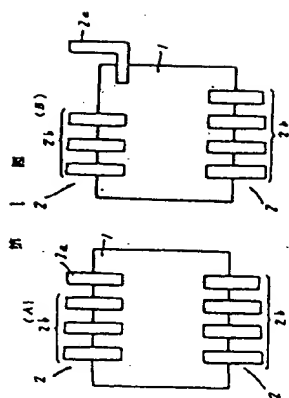


Fig. 1

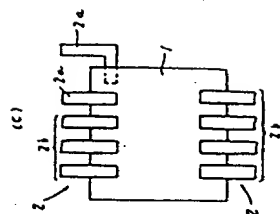
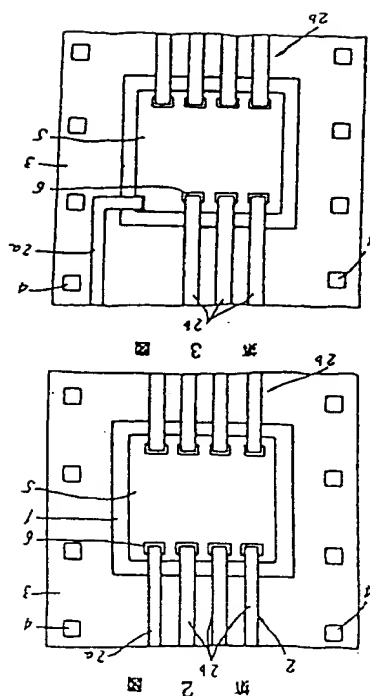


Fig. 2

5 Fig. 3



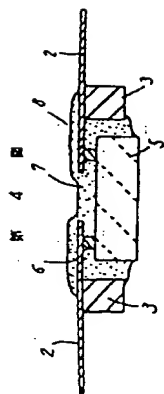


Fig. 4

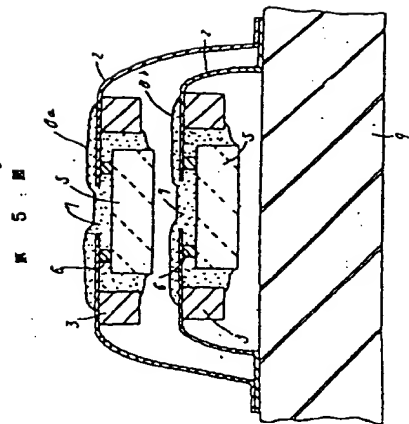


Fig. 5

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A)

昭64-71162

① Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和64年(1989)3月16日

H 01 L 23/52
21/60

C-8728-5F
R-6918-5F

審査請求 未請求 発明の数 1 (全5頁)

② 発明の名称 半導体装置

① 特 願 昭62-226307

② 出 願 昭62(1987)9月11日

⑦ 発 明 者 渡 辺 昌 行 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内
⑦ 発 明 者 菅 野 利 夫 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑦ 発 明 者 若 島 喜 昭 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑧ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑧ 出 願 人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
⑨ 代 理 人 弁理士 小川 勝 男 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 各リードパターンの一部を当該テープキャリアパッケージの重ね実装が可能なるように変更した二以上のテープキャリアパッケージを、実装用基板上に重ね実装して成ることを特徴とする半導体装置。

2. 変更したリードパターンの一部が、テープキャリアパッケージ内チップセレクト信号用のリードである、特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はテープキャリアの重ね実装技術に関する。

〔従来の技術〕

半導体素子の組込技術の一つに、テープキャリア方式がある。この方式は、フィルムキャリアあ

るいはTAB(Tape Automated Bonding)方式などとも称されている。この方式は、長尺のスプロケットホール(パーフォレーションホール)付きの樹脂製テープに半導体素子を連続的に組込んでいく方法で、当該テープキャリアは半導体素子(チップ)の電極配置に合せたリードパターンが、スプロケットホールとデバイスホールを持つ樹脂フィルム上に形成されたもので、例えば、接着剤付きポリイミドフィルムを適宜幅にスリットし、それに送り用のスプロケットホールとチップを組み込むためのデバイスホールとをパンチングし、銅箔をラミネートし、ホットレジスト技術、エッチング技術を用いて所望のリードパターンを形成する工程を経て製せられる。

なお、当該テープキャリアについて述べた文献の例としては、マックグロウ-ヒルブックカンパニー・ジャパン(Mc Graw-Hill Book Company Japan)社刊1983年コピーライト「VLSI TECHNOLOGY」p558があげられる。

〔発明が解決しようとする問題点〕

しかるに、従来のテープキャリアに合っては、1品種1レイアウトとなっており、同じリードパターンを持っているために同品種のテープキャリアを重ねて実装用基板に実装することができない。

そのため、高密度に実装しようとしたら、実装用基板上に同品種のテープキャリアと並べて配設することが必要となり、プリント配線基板などの実装用基板表面の配線を複雑化させ、断線なども生じ易くなり、その信頼性を低下させることになる。

本発明はかかる従来技術の有する欠点を解消することのできる技術を提供することを目的とする。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なものの特徴を簡単に説明すれば、下記のとおりである。

本発明では、同一種の複数のテープキャリアに

並行に設けられているのに対し、第1図(B)では、図示上右端のリード2aが、直角に折れ曲った形となっている。このデバイスホール1内には、図示していないが半導体素子が組込みされ、第1図(A)では図示上右端のリード2aが当該デバイスホール1内に組込んだ半導体素子(チップ)のチップセレクト信号用のリードとなっており、また、第1図(B)では上右端の直角に折れ曲ったリード2aが同様にチップセレクト信号用のリードとなっている。

第1図(C)は、このように各リードパターン2の一部リード2aを変更したテープキャリアを重ね実装した様子を概念的に示したもので、図示上右端部のリード2aは、重ね実装された上部のチップの当該チップセレクト信号の入出力をつかさどり、また、図示上右端部のリード2aに隣接したリード2aは、重ね実装された下部のチップの当該チップセレクト信号の入出力をつかさどっている。

他のリード2bは、各チップに共通の入出力端

において、各テープキャリアの各リードパターンの一部を変更したものを用意する。この変更は、例えばチップセレクト信号のリードのみとする。そして、このようにリードパターンの一部が変更されたテープキャリアを実装用基板に重ね実装する。
〔作用〕

上記のように、重ね実装しようとするテープキャリアの各リードパターンの一部は重ね実装可能のように変更されているので、テープキャリアの重ね実装が可能で、そのため高密度実装が可能で、配線も簡略化され、信頼性も向上させることができる。

〔実施例〕

次に、本発明の実施例を図面に基づき説明する。

第1図は本発明の実施例を示す原理図で、プラスチックフィルムテープに穿設されたデバイスホール1内には当該フィルムテープ上に形成されたリードパターン2の一部が突出している。また、当該リードパターン2のうち、図示上右端のリード2aが、第1図(A)では残りのリード2bに対し

子となっている。第2図は、第1図(A)のテープキャリアの詳細を示したもので、また、第3図は第1図(B)のテープキャリアの詳細を示す。

これら図に示すように、プラスチックフィルムテープ3の両端部には、当該テープ3の送りおよび位置合せ用の複数のスプロケットホール4が適宜間隔を置いて孔設され、また、当該テープ3の中央部には半導体素子を組込むためのデバイスホール1が穿設され、当該デバイスホール1内に突出したリードパターン2の先端部に、図示のようにチップ5をフェイスダウンボンディング(ギャングボンディング)により接合する。

この接合は、チップ5の電極部にパンプ6を形成して、熱圧着法により行われるが、リードパターン2側にパンプ6を形成して同様に行ってもよい。当該チップ5のボンディング(インナーリードボンディング)後に、第4図断面図に示すように、封止樹脂をポッティングして樹脂封止部7を形成して封止を行なう。

このように封止されたテープキャリアパッケー

シ8を、第5図に示すように実装用基板9上に重ね実装する。

第5図にて、上部テープキャリアパッケージ8aは、第1図(A)に示すリードパターン2をもつテープキャリアパッケージで、また、下部テープキャリアパッケージ8bは第1図(B)に示すリードパターン2をもつテープキャリアパッケージである。

本発明に使用されるプラスチックフィルムテープは、例えばポリイミド系樹脂フィルムを適宜幅にスリットされたものにより構成される。リードパターン2は、当該フィルムテープ上に例えば銅箔をラミネートし、ホトレジスト技術やエッチング技術を用いて形成することができ、各テープキャリアパッケージ8a, 8bに応じてその一部レイアウトを変更するようにする。

半導体素子(チップ)5は、例えばシリコン単結晶基板から成り、周知の技術によってこのチップ内には多数の回路素子が形成され、1つの回路機能を与えられている。回路素子の具体例は、例えばMOSトランジスタから成り、これらの回路

素子によって、例えば論理回路およびメモリの回路機能が形成されている。

パンプ6は、例えば金(Au)パンプにより形成される。

封止に使用されるボッティング樹脂には、例えばエポキシ樹脂を主体としたボッティング液が用いられる。

実装用基板9は、例えばプリント配線基板により構成される。

本発明によれば、上記実施例に示すように、各リードパターン2の一部リード2aを変更することにより、二個のテープキャリアパッケージ8a, 8bを実装用基板9上に重ね実装することが可能となり、実装用基板9上に仮に当該テープキャリアパッケージ8a, 8bを並設する場合に比して実装密度を向上させることができ、また、テープキャリアパッケージ8a, 8bを並設する場合に配線も長く、複雑化するのに対し配線が短く、簡略化され、断線する割合も低減され、信頼性の向上に寄与する点大である。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、上記実施例ではテープキャリアパッケージを実装用基板9上に二個重ね実装する例を示したが、三個以上重ねることができ、場合により実装用基板の両面にそれぞれ重ね実装することもできる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明によればテープキャリアにおいて高密度実装を可能とし、配線上有利で信頼性の向上した半導体装置を提供することができた。

4. 図面の簡単な説明

第1図(A)~(C)はそれぞれ本発明の実施例を示す原理図、

第2図は本発明の実施例を示す要部平面図、

第3図は本発明の実施例を示す要部平面図、

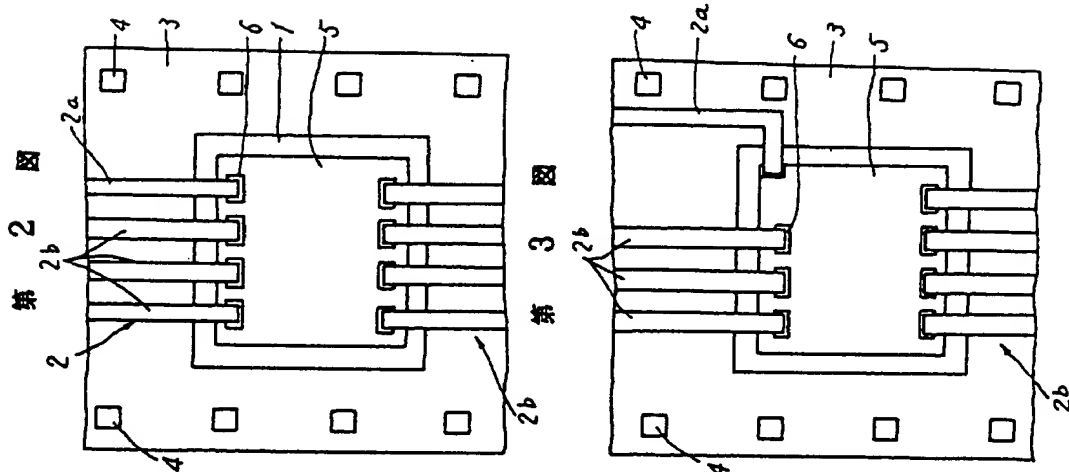
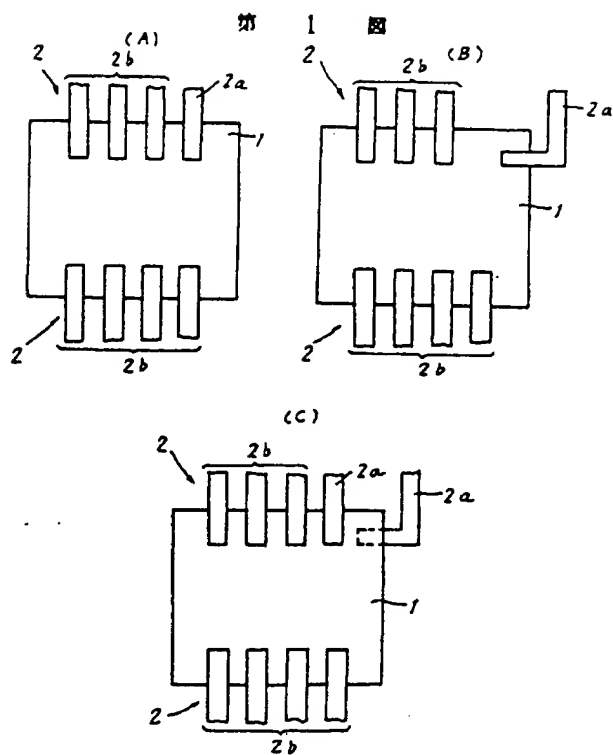
第4図は本発明の実施例を示す断面図、

第5図は本発明の実施例を示す断面図である。

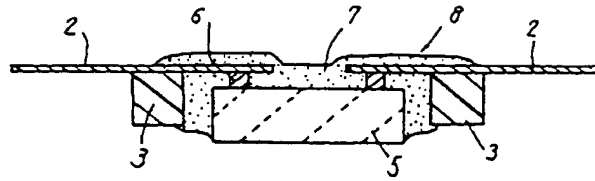
1…デバイスホール、2…リードパターン、2a…変更リード、2b…共通リード、3…プラスチックフィルムテープ、4…スプロケットホール、5…半導体素子(チップ)、6…パンプ、7…樹脂封止部、8, 8a, 8b…テープキャリアパッケージ、9…実装用基板。

代理人 弁理士 小川 勝 男





第 4 圖



第 5 圖

